

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-013906

(43)Date of publication of application : 21.01.1994

(51)Int.Cl.

H03M 3/02

(21)Application number : 05-071306

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.03.1993

(72)Inventor : NAGATA MITSURU  
SATOU KOUICHIROU  
MATSUO TSUNETAKA

(30)Priority

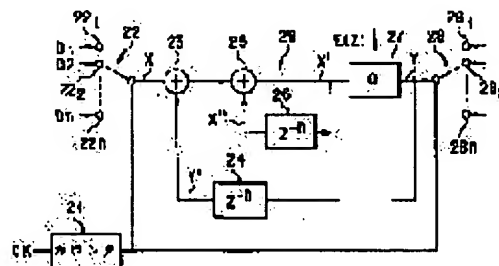
Priority number : 04 73874 Priority date : 30.03.1992 Priority country : JP

## (54) SIGMA-DELTA MODULATOR

(57)Abstract:

**PURPOSE:** To provide a digital  $\Sigma$ - $\Delta$  modulator capable of processing a multi-channel signal or a multi-bit signal with less number of components, decreasing chip occupancy area and reducing the cost.

**CONSTITUTION:** A counter 21 counts a clock signal CK. A multiplexer 22 receives sequentially digital input data D1-Dn in plural bits in response to the output signal of the counter 21. A subtracter 23 subtracts quantized output data outputted from an n-clock delay element 24 from input data. An adder 25 being a component of an integration device 29 together with an n-clock delay element 26. A quantizer 27 quantizes the output of the adder 25 and generates an output signal. A demultiplexer 28 outputs sequentially the output signal of the quantizer 27 in response to the output signal of the counter 21.



## LEGAL STATUS

[Date of request for examination] 04.04.1996

[Date of sending the examiner's decision of rejection] 18.08.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-13906

(43)公開日 平成6年(1994)1月21日

(51)Int.Cl.<sup>5</sup>  
H 0 3 M 3/02

識別記号 庁内整理番号  
8522-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数4(全 12 頁)

(21)出願番号 特願平5-71306

(22)出願日 平成5年(1993)3月30日

(31)優先権主張番号 特願平4-73874

(32)優先日 平4(1992)3月30日

(33)優先権主張国 日本(JP)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 永田 満

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72)発明者 佐藤 孝一郎

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72)発明者 松尾 恒孝

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

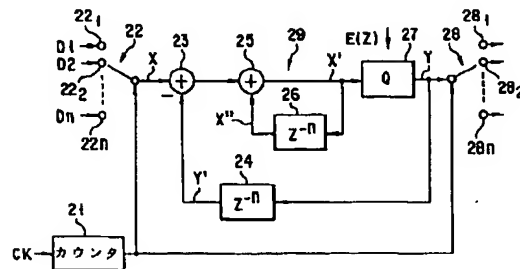
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】  $\Sigma$ - $\Delta$ 変調器

(57)【要約】

【目的】この発明の目的は、少ない回路素子により多チャンネル信号や多ビット信号を処理することができ、チップの占有面積を削減できるとともにコストを低廉化し得るデジタル $\Sigma$ - $\Delta$ 変調器を提供する。

【構成】カウンタ21はクロック信号CKをカウントする。マルチプレクサ22は、カウンタ21の出力信号に応じて、複数ビットのデジタル入力データD1～Dnを順次入力する。減算器23は入力データからnクロック遅延素子24より出力される量子化出力データを減算する。nクロック遅延素子26と共に積分器29を構成する加算器25は減算器23の出力を積分する。量子化器27は加算器25の出力を量子化し出力信号を生成する。デマルチプレクサ28はカウンタ21の出力信号に応じて、量子化器27出力信号を順次出力する。



1

【特許請求の範囲】

【請求項1】 それぞれ $k$ ビット（ $k$ は3以上の整数）からなる $n$ チャンネル（ $n$ は2以上の整数）のデジタル信号から1チャンネル分のデジタル信号をクロック信号に応じて順番に入力する入力手段と、

この入力手段から入力された1チャンネル分のデジタル信号から帰還信号を減算する減算手段と、

この減算手段に接続され、減算手段から出力される信号を複数回積分する積分手段と、

この積分手段から出力される信号を量子化値 $j$ （ $j$ は $1 < j < 2^k$ を満たす整数）に量子化して出力信号を生成する量子化手段と、

この量子化手段から出力される前記出力信号を $n$ クロック分遅延し、前記帰還信号を生成する遅延手段と、

前記量子化手段から出力される信号を前記入力手段によって入力された順番に $n$ チャンネルに振り分けて出力する出力手段とを具備することを特徴とする $\Sigma-\Delta$ 変調器。

【請求項2】 2チャンネルのデジタル信号を1チャンネル分ずつ順番に入力する入力手段と、

この入力手段に接続され、入力手段から入力された1チャンネル分のデジタル信号から帰還信号を減算する第1の減算手段と、

この第1の減算手段に接続され、第1の減算手段から出力される信号を遅延する第1の遅延手段と、

この第1の遅延手段に接続され、第1の遅延手段から出力される信号に前記帰還信号を加算する加算手段と、

この加算手段に接続され、加算手段から出力される信号を量子化する量子化手段と、

この加算手段と量子化手段に接続され、加算手段より出力される信号から前記量子化手段より出力される信号を減算する第2の減算手段と、

この第2の減算手段に接続され、第2の減算手段から出力される信号を遅延し前記帰還信号を出力する第2の遅延手段と、

前記量子化手段に接続され、量子化手段から出力される信号を前記入力手段によって入力された順に2チャンネルに振り分けて出力する出力手段とを具備することを特徴とする $\Sigma-\Delta$ 変調器。

【請求項3】  $n$ ビット（ $n$ は2以上の整数）のデジタル信号を $i$ 個（ $i$ は2以上の整数で、 $i < n$ ）に分割し、この分割されたデジタル信号をLSB側から順番に入力する入力手段と、

この入力手段に接続され、入力手段から入力されたデジタル信号から帰還信号を減算するとともに、キャリア信号を次の演算まで保持する保持手段を有した減算手段と、

この減算手段に接続され、減算手段から出力される信号を $i$ 回積分する積分手段と、

この積分手段に接続され、積分手段から出力される信号

2

を量子化し出力信号を生成する量子化手段と、

この量子化手段に接続され、量子化手段から出力される前記出力信号を $i$ クロック分遅延し、前記帰還信号を生成する遅延手段と、

前記量子化手段に接続され、量子化手段から出力される前記出力信号を出力する出力手段と、

を具備することを特徴とする $\Sigma-\Delta$ 変調器。

【請求項4】 前記入力手段は、複数に分割された複数チャンネルのデジタル信号が入力される複数の入力端を有し、前記出力手段は前記量子化手段から出力される前記出力信号を前記入力手段によって入力された順番に複数チャンネルに振り分けて出力する複数の出力端を具備することを特徴とする請求項3記載の $\Sigma-\Delta$ 変調器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、例えばオーディオ回路等に適用され、入力信号をこの入力信号より非常に高い周波数の信号によってsamplingすることにより、高い $S/N$ （信号体雑音比）を実現するオーバーサンプリング形D/A変換器に使用するデジタル $\Sigma-\Delta$ 変調器に関する。

【0002】

【従来の技術】周知のように、アナログ信号をデジタル信号に変換し符号化する場合、ナイキストの定理により、信号周波数帯域 $f_s$ の2倍以上の周波数でサンプリングすれば、原信号の情報を損なわない。この為、一般的なD/A変換器のサンプリング周波数 $f_s$ は、信号周波数帯域 $f_s$ の2.2～2.4倍程度に設定されている。

【0003】これに対して、近年ではサンプリング周波数 $f_s$ を信号周波数帯域 $f_s$ よりも十分高く設定し、変換精度を高めるようにしたオーバーサンプリング形D/A変換器が開発され、実用化されている。単純なオーバーサンプリング形D/A変換器の $S/N$ の最大値 $S/N_{max}$ はビット数（分解能）を $n$ とすると、 $S/N_{max} = (3/2) 2^{2n} (f_s/2f_s)$

【0004】で与えられる。この式から、D/A変換器の分解能を1ビット上げると $S/N$ は6dB改善される。しかし、サンプリング周波数を2倍にしても $S/N$ は3dBしか改善されないことが分かる。

【0005】そこで、サンプリング周波数 $f_s$ を余り高くしなくても $S/N$ を十分に上げる手法が種々開発されている。その中の一つに $\Sigma-\Delta$ 変調を使ったD/A変換器がある。その例としては、次の文献が知られている。IEEE J.OF SOLIDSTATE CIRC-UIITS AUGUST 1981 Vol.-SC-16-No4 T.MISAWA,J.E.Iwersen "Single Chip Per.Ch channel Code With Filters Utilizing  $\Sigma-\Delta$  Modulation" p333～p341。

【0006】図19は、1次の $\Sigma-\Delta$ 変調器を使った1ビット・D/A変換器を示している。同図において、X

3

(z) はデジタル入力信号、Y(z) はデジタル出力信号、E(z) は量子化誤差を表わしている。X(z)、Y(z)、E(z) はそれぞれ z 変換で表わしている。デジタル入力信号 X(z) は減算器 11 の一方入力端に供給される。この減算器 11 の出力は積分回路 12 を構成する加算器 13 に入力される。積分回路 12 は加算器 13 と 1 クロック分の遅延時間を有する 1 クロック遅延回路 14 により構成されている。この積分器 12 の出力は量子化器 15 に供給され量子化される。この量子化器 15 の出力信号 Y(z) は、D/A 変換器 16 に供給さ

\* れるとともに、1 クロック遅延回路 17 を介して減算器 11 の他方入力端に供給される。この回路においては次式が成立する。

$$Y(z) = X(z) + (1 - z^{-1}) E(z)$$

【0007】通常、量子化誤差 E(z) は入力信号 X(z) と無相関であり、周波数特性もフラットであると考えられる。したがって、このシステムの雑音周波数特性はシステムのクロック周期を T とすると

$$[0008] \quad [数1]$$

$$(1 - e^{-j\omega T}) = j\omega T \quad \omega T \ll 1$$

【0009】となり、サンプリング周波数 f<sub>s</sub> に比べて信号周波数帯域 f<sub>s</sub> を十分低くすれば、雑音は周波数に比例するため、サンプリング周波数 f<sub>s</sub> を 2 倍にする毎に信号帯域での S/N は 9 dB 改善される。

【0010】図 20 は、n 次(n order) Σ-Δ 変調器を示している。この n 次 Σ-Δ 変換器は減算器 11 と積分回路 12 を n 段直列接続し、量子化器 15 の出力信号を 1 クロック遅延回路 16 を介して各減算器 11 の他方入力端に供給している。この n 次 Σ-Δ 変調器は次式で表される伝達特性を有している。

$$Y(z) = X(z) + (1 - z^{-1})^n E(z)$$

【0011】この n 次 Σ-Δ 変調器を D/A 変換器に使用する場合、次数を n とすると、サンプリング周波数 f<sub>s</sub> を 2 倍にする毎に信号帯域での S/N は 3 × (2n + 1) dB 改善される。

【0012】

【発明が解決しようとする課題】このように、Σ-Δ 変調器を使ったオーバーサンプリング・D/A 変換器は、サンプリングレートを上げることによって大幅に S/N を改善することができる。しかし、例えばステレオ信号を扱う場合は、通常 2 チャンネル分の D/A 変換器を内蔵する必要がある。このため、Σ-Δ 変調器も 2 個必要となる。したがって、この回路を集積回路化する場合、多数の回路素子を要し、コストが上昇するものであった。

【0013】この発明は上記課題を解決するためになされたものであり、その目的とするところは、入力信号を分割して取り込むことにより、少ない回路素子により多チャンネル信号や多ビット信号を処理することができ、チップの占有面積を削減できるとともにコストを低廉化し得るデジタル Σ-Δ 変調器を提供することである。

【0014】

【課題を解決するための手段】この発明の Σ-Δ 変調器は、それぞれ k ビット (k は 3 以上の整数) からなる n チャンネル (n は 2 以上の整数) のデジタル信号から 1 チャンネル分のデジタル信号をクロック信号に応じて順番に入力する入力手段と、この入力手段から入力された 1 チャンネル分のデジタル信号から帰還信号を減算する

4

減算手段と、この減算手段に接続され、減算手段から出力される信号を複数回積分する積分手段と、この積分手段から出力される信号を量子化値 j (j は 1 < j < 2<sup>k</sup> を満たす整数) に量子化して出力信号を生成する量子化手段と、この量子化手段から出力される前記出力信号を n クロック分遅延し、前記帰還信号を生成する遅延手段と、前記量子化手段から出力される信号を前記入力手段によって入力された順番に n チャンネルに振り分けて出力する出力手段とを具備している。

【0015】また、2 チャンネルのデジタル信号を 1 チャンネル分ずつ順番に入力する入力手段と、この入力手段に接続され、入力手段から入力された 1 チャンネル分のデジタル信号から帰還信号を減算する第 1 の減算手段と、この第 1 の減算手段に接続され、第 1 の減算手段から出力される信号を遅延する第 1 の遅延手段と、この第 1 の遅延手段に接続され、第 1 の遅延手段から出力される信号に前記帰還信号を加算する加算手段と、この加算手段に接続され、加算手段から出力される信号を量子化する量子化手段と、この加算手段と量子化手段に接続され、加算手段より出力される信号から前記量子化手段より出力される信号を減算する第 2 の減算手段と、この第 2 の減算手段に接続され、第 2 の減算手段から出力される信号を遅延し前記帰還信号を出力する第 2 の遅延手段と、前記量子化手段に接続され、量子化手段から出力される信号を前記入力手段によって入力された順に 2 チャンネルに振り分けて出力する出力手段とを具備している。

【0016】さらに、この発明の Σ-Δ 変調器は、n ビット (n は 2 以上の整数) のデジタル信号を i 個 (i は 2 以上の整数で、i < n) に分割し、この分割されたデジタル信号を L SB 側から順番に入力する入力手段と、この入力手段に接続され、入力手段から入力されたデジタル信号から帰還信号を減算するとともに、キャリア信号を次の演算まで保持する保持手段を有した減算手段と、この減算手段に接続され、減算手段から出力される信号を i 回積分する積分手段と、この積分手段に接続され、積分手段から出力される信号を量子化し出力信号を生成する量子化手段と、この量子化手段に接続され、量

20

30

40

50

5

量子化手段から出力される前記出力信号を  $i$  クロック分遅延し、前記帰還信号を生成する遅延手段と、前記量子化手段に接続され、量子化手段から出力される前記出力信号を出力する出力手段とを具備している。

【0017】また、入力手段は、複数に分割された複数チャンネルのデジタル信号が入力される複数の入力端を有し、前記出力手段は前記量子化手段から出力される前記出力信号を前記入力手段によって入力された順番に複数チャンネルに振り分けて出力する複数の出力端を具備している。

【0018】

【作用】すなわち、この発明において、入力手段はそれぞれ  $k$  ビットからなる2チャンネル以上のデジタル信号から1チャンネル分のデジタル信号をクロック信号に応じて順番に入力する。減算手段は入力手段から入力された1チャンネル分のデジタル信号から帰還信号を減算する。積分手段は減算手段から出力される信号を複数回積分する。量子化手段は積分手段から出力される信号を量子化値  $j$  に量子化して出力信号を生成する。遅延手段は量子化手段から出力される出力信号を  $n$  クロック分遅延し、前記帰還信号を生成する。出力手段は量子化手段から出力される信号を入力手段によって入力された順番に  $n$  チャンネルに振り分けて出力する。したがって、1個の  $\Sigma-\Delta$  変調器により、複数チャンネルのデジタル信号を処理できるため、回路素子を削減できる。

【0019】また、入力手段は  $i$  個に分割された  $n$  ビットのデジタル信号を  $LSB$  側から順番に入力する。減算手段は入力手段から入力されたデジタル信号から帰還信号を減算する。この際発生したキャリー信号は保持手段により、次の演算まで保持される。積分手段は減算手段から出力される信号を  $i$  回積分する。量子化手段は積分手段から出力される信号を量子化し出力信号を生成する。遅延手段は量子化手段から出力される出力信号を  $i$  クロック分遅延し帰還信号を生成する。出力手段は量子化手段から出力される出力信号を出力する。したがって、少ない回路素子によって多ビットのデジタル信号を処理できる。

【0020】しかも、入力手段によりそれぞれ複数ビットに分割された多チャンネル信号を順次入力し、この入力した信号を処理した後、各チャンネル毎に順に出力することにより、少ない回路素子によって多ビット多チャンネルのデジタル信号を処理できる。

【0021】

【実施例】以下、この発明の一実施例について図面を参照して説明する。

【0022】図1は、1次デジタル  $\Sigma-\Delta$  変調器を  $n$  チャンネル化したものである。mod.  $n$  のカウンタ21はクロック信号  $CK$  をカウントする。このカウンタ21の出力端はマルチプレクサ22に接続されている。このマルチプレクサ22は、入力端22<sub>1</sub> ~ 22<sub>n</sub> を有し、前記

6

カウンタ21から出力される出力信号に応じて、入力端22<sub>1</sub> ~ 22<sub>n</sub> に供給される複数ビットのデジタル入力信号  $D1 \sim Dn$  を順次入力する。マルチプレクサ22の出力端は減算器23の一方入力端に接続されている。この減算器23の他方入力端には  $n$  クロック分の遅延時間を有する  $n$  クロック遅延素子 ( $z^{-n}$ ) 24の出力端が接続されている。この減算器23の出力端は加算器25の一方入力端に接続されている。この加算器25の他方入力端には  $n$  クロック遅延素子26の出力端が接続されている。この加算器25の出力端は前記  $n$  クロック遅延素子26の入力端に接続されている。この加算器25と  $n$  クロック遅延素子26は減算器23の出力を積分する積分器29を構成している。さらに、前記加算器25の出力端は量子化器 ( $Q$ ) 27の入力端に接続されている。この量子化器27は、加算器25から出力される積分された信号を量子化値  $j$  に量子化する。ここで、 $j$  は  $1 < j < 2^k$  を満たす整数である。この量子化器27の出力端は前記  $n$  クロック遅延素子24の入力端に接続されるとともに、デマルチプレクサ28の入力端に接続されている。このデマルチプレクサ28は出力端28<sub>1</sub> ~ 28<sub>n</sub> を有し、前記カウンタ21の出力信号に応じて、量子化器27の出力信号を出力端28<sub>1</sub> ~ 28<sub>n</sub> から順次出力する。

【0023】図2は、前記  $n$  クロック遅延素子24、26の構成を示すものである。この  $n$  クロック遅延素子は、例えば  $D$  タイプフリップフロップ回路によって構成された1クロック遅延回路  $z^{-1}$  が  $n$  個直列接続され、クロック信号  $CK$  に応じて入力信号を  $n$  クロック分遅延する。図2は、 $n$  クロック遅延素子24、26の1ビット分の構成を示すものであり、実際にはこれがデジタル入力信号のビット数に応じて並列接続される。

【0024】図3は、前記加算器25の構成を示すものである。この加算器はデジタル入力信号のビット数に応じて、全加算器30が直列接続されている。この全加算器30は、例えば図4に示すように、ナンド回路30a、排他的ノア回路30b、排他的オア回路30cによって構成されている。前記減算器23も加算器25と同様の構成であり、減算するための入力信号は2の補数に変換されている。減算器23を構成する全加算器の数は、少なくとも入力信号のビット数とされている。上記構成において、図5を参照して動作について説明する。

【0025】マルチプレクサ22は、カウンタ21から出力される出力信号に応じて、入力端22<sub>1</sub> ~ 22<sub>n</sub> に供給されるデジタル入力信号  $D1 \sim Dn$  を順次入力する。このカウンタ21は入力信号  $Dn$  を入力すると、再び入力信号  $D1$  を入力する。この動作がカウンタ21の出力信号に応じて繰返される。

【0026】デマルチプレクサ28は、前記カウンタ21の出力に応じて、マルチプレクサ22と同期して動作する。すなわち、マルチプレクサ22が入力端22<sub>i</sub> から

10

20

30

40

50

7

ら信号  $i$  を入力している時、デマルチプレクサ 28 も出力端 28 i から信号  $i$  を出力する。ここで、 $i$  は  $1 \leq i \leq n$  を満たす整数である。

【0027】この時、 $n$  クロック遅延素子 24 の出力は、1 周期、すなわち、 $n$  クロック前の信号  $i$  についての量子化信号となっている。さらに、 $n$  クロック遅延素子 26 と加算器 25 とによって構成される積分器 29 の出力信号 ( $x'$ ) も 1 周期前の信号  $i$  までの積分結果となっている。したがって、この  $\Sigma-\Delta$  変調器から出力される信号は、従来の 1 チャンネル  $\Sigma-\Delta$  変調器に  $n$  クロ

ック毎の周期で信号  $i$  を入力し処理した信号と全く同じである。

【0028】従来の 1 チャンネルの  $\Sigma-\Delta$  変調器は 1 クロック周期で各チャンネルの信号を処理できる。しかし、本発明の  $n$  チャンネル  $\Sigma-\Delta$  変調器は、図 5 に示すように、 $n$  クロック周期でしか各チャンネルの信号を処理できない。しかし、近時、LSI 技術は驚異的に進歩し、その動作スピードは非常に早くなっている。したがって、システムクロックを  $n$  倍とすることにより、従来と全く同じスピードで処理でき、 $n$  の値が極端に大き

くならなければ、動作スピードは殆ど問題にならない。図 6 は、この発明の第 2 の実施例を示すものであり、この発明を  $m$  次の

【0029】 $\Sigma-\Delta$  変調器に適用した例を示すものである。ここで、 $m$  は 2 以上の整数である。この実施例は積分器 29 を  $m$  個直列接続した以外図 1 と同一構成である。したがって、図 1 と同一部分には同一符号を付す。図 6 において、 $n$  クロック遅延素子 ( $z^{-n}$ ) 24 と各減算器 23 の相互間には、回路動作の安定性を高めるた

め、乗算器 31 がそれぞれ接続されている。これら乗算器 31 には係数  $a_1, a_2 \sim a_m$  が設定されている。さらに、前記マルチプレクサ 22 と減算器 23 の相互間に加算器 50 を接続し、この加算器 50 と前記積分器 29 の各出力端の相互間に、係数  $b_1, b_2 \sim b_m$  が設定された乗算器 51 をそれぞれ接続してもよい。この構成によれば、回路動作の安定性をさらに高めることができる。この実施例の場合も、1 次の場合と全く同様に  $n$  クロック周期で  $n$  チャンネルの信号を処理することができる。次に、この発明によりどの程度素子数を削減できる

かを具体的に説明する。図 7 は、この発明を用いた 2 チャンネル  $\Sigma-\Delta$  変調器の一例を示すものであり、例えばステレオ信号を処理するための回路を示すものである。

【0030】ステレオ入力信号  $R, L$  はともに 16 ビットのデジタル信号であり、このデジタル信号は、カウンタ 21 によって制御されるマルチプレクサ 22 によって順次入力される。このマルチプレクサ 22 は減算器 23 a に接続されている。この減算器 23 a は 22 ビット構成である。この減算器 23 a は 2 クロック遅延素子 ( $z^{-2}$ ) 26 a に接続されている。この 2 クロック遅延素子

26 a は直列接続された 2 個の D タイプフリップフロ

8

ブ回路が 22 ビット分並列接続されている。この 2 クロック遅延素子 26 a は加算器 25 に接続されている。この加算器 25 は 23 ビット構成とされている。この加算器 25 と量子化器 27 の相互間には信号のビット数を制限するリミッタ 40 が設けられている。デマルチプレクサ 28 は 2 個の 1 ビット D タイプフリップフロップ回路によって構成され、これら D タイプフリップフロップ回路はカウンタ 21 の出力によって制御される。前記量子化器 27 の入力端と出力端の相互間には減算器 23 b が接続されている。減算器 23 b は 22 ビット構成である。この減算器 23 b の出力端は 2 クロック遅延素子 ( $z^{-2}$ ) 26 b に接続されている。この 2 クロック遅延素子 26 b は前記遅延素子 23 a と同一構成である。この 2 クロック遅延素子 26 b と前記加算器 25 の相互間には乗算回路 41 が接続されている。この乗算回路 41 は 2 クロック遅延素子 26 b から出力される出力信号を 1 ビットシフトして 2 倍する。

【0031】図 7 に示す 2 チャンネル  $\Sigma-\Delta$  変調器は、図 6 に示す回路を  $m=2, n=2$  として図 8 に示す 2 チャンネル  $\Sigma-\Delta$  変調器に変形し、この図 8 に示す回路を図 9 乃至図 12 に示すように順次変形したものである。図 8 乃至図 12 において、図 6、図 7 と同一部分には同一符号を付す。図 8 乃至図 12 において、図 7 に示すカウンタ 21 は省略している。このように変形することにより、少ない回路素子により、2 チャンネル  $\Sigma-\Delta$  変調器を構成できる。図 8 乃至図 12 に示す回路は次式で表される。

$$Y(z) = X(z) + (1 - z^{-1})^2 E(z)$$

図 6、図 12 に示す回路は次式で表される。

$$Y(z) = X(z)(z^{-1}) + (1 - z^{-1})^2 E(z)$$

【0032】図 6 に示す回路において、サンプリング周波数  $f_s = 44.1 \text{ kHz}$  のデジタル信号を 192 オーバーサンプリングで  $\Sigma-\Delta$  変調した場合、クロック信号  $CK$  は  $384 f_s = 16.9 \text{ MHz}$ 、 $1/2$  クロック信号は

【0033】 $8.45 \text{ MHz}$  となる。この周波数は、今日の CMOS・LSI であれば十分動作する。このシグマデルタ変調器を用いることにより、 $S/N$  が 100 dB 以上の高性能 1 ビット D/A 変換器を構成することができる。

【0034】図 13 は、図 7 で用いる D タイプフリップフロップ回路の具体例を示すものである。図 13 (a) に示すように、この D タイプフリップフロップ回路 42 は、2 個のクロックド・インバータ 43 を直列接続したダイナミック型である。クロックド・インバータ 43 は図 13 (b) に示すように、4 個の MOS トランジスタによって構成されている。したがって、2 個のクロックド・インバータを構成するためには、8 個の MOS トランジスタが必要である。

【0035】減算器 23 a、23 b、加算器 25 は、図

3、図4に示す構成であり、ナンド回路30aは4個のMOSトランジスタによって構成され、排他的ノア回路30b、排他的オア回路30cはそれぞれ10個のMOSトランジスタによって構成されている。したがって、1ビットの全加算器は24個のMOSトランジスタが必要である。また、マルチプレクサ22、デマルチプレクサ28は1ビット当り8個のMOSトランジスタが必要となり、1個のDタイプフリップフロップ回路によって構成されたカウンタ21は8個のMOSトランジスタが必要となる。さらに、乗算回路41はビットシフトのみであるため、MOSトランジスタは不要であり、リミッタ40は入力ビット数に対して出力ビット数を配線によって削減するため、MOSトランジスタは不要である。以上より、図7に示す2チャンネルΣ-Δ変調器を構成する素子数は、次のようになる。

$$(8 \times 16) + (24 \times 22) + (8 \times 2 \times 22) + (24 \times 23) + (24 \times 22) + (8 \times 2 \times 22) + (8 \times 2) + 8 = 2464$$

これに対して、1チャンネルΣ-Δ変調器を2個用いて2チャンネル分を構成するために必要な素子数は次のようになる。

$$(24 \times 22 + 8 \times 22 + 24 \times 23 + 24 \times 22 + 8 \times 22) \times 2 = 39202464 / 3920 = 0.628$$

【0036】この1チャンネルΣ-Δ変調器は、図7に示すカウンタ21、マルチプレクサ22、デマルチプレクサ28を除き、2クロック遅延回路を1クロック遅延回路としたものである。

【0037】このように、この発明を適用した2チャンネルΣ-Δ変調器の素子数は、1チャンネルΣ-Δ変調器を2個使用した場合の60%程度となることが分る。この素子数の削減率は、多チャンネルになるほど顕著となる。

【0038】図14は、この発明の第3の実施例を示すものである。この実施例は、1チャンネルのm次デジタルΣ-Δ変調器を示すものである。このΣ-Δ変調器に供給されるnビット（nは2以上の整数）の入力信号は、i個（iは2以上の整数であり、 $i < n$ ）に分割される。例えばn=32ビット、i=4の場合、この分割された入力信号D<sub>1</sub>、～D<sub>i</sub>は、それぞれ8ビットとなる。

【0039】mod.nのカウンタ61はクロック信号CKをカウントする。このカウンタ61にはカウンタ61の出力信号をデコードするデコーダ70が接続されている。このカウンタ61の出力端はマルチプレクサ62に接続されている。このマルチプレクサ62は、入力端62<sub>1</sub>、～62<sub>i</sub>を有している。これら入力端62<sub>1</sub>、～62<sub>i</sub>には、前記i個に分割された複数ビットの入力信号D<sub>1</sub>、～D<sub>i</sub>がそれぞれ入力される。このマルチプレクサ62は前記カウンタ61から出力される出力信号に応じ

て、入力端62<sub>1</sub>、～62<sub>i</sub>、供給された入力信号D<sub>1</sub>、～D<sub>i</sub>をLSB側（D<sub>1</sub>）からMSB側（D<sub>i</sub>）に順次入力する。

【0040】前記マルチプレクサ62の出力端にはm個の減算器63と、m個の積分器69が交互に直列接続されている。1番目の減算器63の一方入力端は前記マルチプレクサ62の出力端が接続され、前記2番目以降の各減算器63の一方入力端は前段の積分器69の出力端が接続されている。各減算器63の他方入力端には、クロック信号に応じて、入力信号をiクロック分遅延するiクロック遅延素子（ $z^{-1}$ ）64の出力端が接続されている。前記各積分器69は加算器65とiクロック遅延素子66とで構成されている。各加算器65の一方入力端は前段の減算器63の出力端に接続され、各出力端は各iクロック遅延素子66の入力端に接続されている。各iクロック遅延素子66の出力端は各加算器65の他方入力端に接続されている。前記各減算器63および各加算器65には前記デコーダ70の出力信号が供給されている。

【0041】m番目の加算器65の出力端は量子化器（Q）67の入力端に接続されている。この量子化器67は、加算器65から出力される積分された信号を量子化値jに量子化する。ここで、jは $1 < j < 2^k$ を満たす整数である。この量子化器67の出力端は前記nクロック遅延素子64の入力端に接続されるとともに、スイッチ68の入力端に接続されている。このスイッチ68は前記デコーダ70の出力信号に応じて、量子化器67から出力される信号を出力する。

【0042】図15は、前記加算器65の構成を示すものである。この加算器65は図3に示す加算器とほぼ同様の構成であり、図3と同一部分には同一符号を付す。この加算器65は少なくともn/i個の全加算器30が直列接続されている。最上段の全加算器30のキャリー出力端/C<sub>o</sub>には1クロック遅延素子（ $Z^{-1}$ ）71の入力端が接続され、この1クロック遅延素子71の出力端はスイッチ72の一方入力端72<sub>1</sub>に接続されている。このスイッチ72の他方入力端72<sub>2</sub>にはハイレベル信号Hが供給され、出力端72<sub>2</sub>は最下段の全加算器30のキャリー入力端/C<sub>i</sub>に接続されている。このスイッチ72は前記デコーダ70の出力信号によって制御される。すなわち、このスイッチ72はi個に分割された入力信号のうちLSBを含む入力信号を演算する場合のみ、出力端72<sub>2</sub>が他方入力端72<sub>1</sub>に接続され、その他の入力信号を演算する場合、出力端72<sub>2</sub>が一方入力端72<sub>1</sub>に接続される。したがって、LSBを含む入力信号を演算する場合、最下段の全加算器30のキャリー入力端/C<sub>i</sub>にはハイレベル信号が供給され、その他の入力信号を演算する場合、1つ前の演算において1クロック遅延素子71に保持された信号が最下段の全加算器30のキャリー入力端/C<sub>i</sub>に供給される。



11

【0043】前記全加算器30は、図4に示す回路と同一である。また、前記減算器63も加算器65と同一の構成であり、減算するための入力信号は2の補数に変換されている。さらに、 $i$ クロック遅延素子64、66は $i$ 個のDタイプフリップフロップ回路によって構成され、1クロック遅延素子71は1個のDタイプフリップフロップ回路によって構成されている。 $i$ クロック遅延素子64、66は、それぞれ演算ビット数に応じて並列接続される。

【0044】図16は、36ビットの入力信号を処理する従来の $\Sigma-\Delta$ 変調器を示すものである。減算器81は36ビット構成、加算器83は37ビット構成、減算器86は36ビット構成、1クロック遅延素子82、87は36ビット構成である。加算器83、減算器81、86はキャリー信号を保持する1クロック遅延素子を有していない。前記加算器83と量子化器85の間にはリミッタ84が設けられている。1クロック遅延素子87と加算器83の間には、乗算回路88が接続されている。この乗算回路88は1クロック遅延素子87の出力信号を1ビットシフトして2倍する。

【0045】図17は、図16に示す回路と全く同一の機能を有するこの発明の第4の実施例を示すものであり、図14に示す回路を変形した $\Sigma-\Delta$ 変調器である。図17において、図14と同一部分には同一符号を付す。この実施例において、36ビットの入力信号は1/2に分割されている。マルチプレクサ62の入力端62<sub>1</sub>には上位16ビットの入力信号が供給され、入力端62<sub>2</sub>には下位16ビットの入力信号が供給される。2つの減算器63はそれぞれ22ビット構成、加算器65は23ビット構成、2クロック遅延素子89、90はそれぞれ22ビット構成である。加算器65と量子化器67の間にはリミッタ91が設けられ、2クロック遅延素子90と加算器65の間には、乗算回路92が接続されている。この乗算回路92は2クロック遅延素子90の出力信号を1ビットシフトして2倍する。この実施例の場合、カウンタ61にはデコーダ70は接続されていない。減算器63、加算器65に設けられたスイッチ72はカウンタ61の出力信号によって制御される。前記リミッタ91はカウンタ61の出力信号に応じて、上位ビットを演算している場合のみ動作される。図16に示す回路に使用される回路素子数を前述したように求めた場合、次のようになる。

$$(24 \times 36) + (8 \times 36) + (24 \times 37) + (24 \times 36) + (8 \times 36) = 3192$$

【0046】これに対して、図17に示す回路に使用される回路素子数を上記と同様に求めた場合、次のようになる。尚、スイッチは1ビット当たり8個のトランジスタによって構成され、カウンタ61は1個のDタイプフリップフロップ回路によって構成されるため、8個のトランジスタが必要となる。

12

$$(24 \times 22 + 8 + 8) + (8 \times 22 \times 2) + (24 \times 23 + 8 + 8) + (24 \times 22 + 8 + 8) + (8 \times 22 \times 2) = 2360$$

図16と図17の回路素子数を比較した場合、

$$2360 / 3192 = 0.739$$

【0047】となり、この実施例において使用する回路素子数は、従来の約74%で済むことが分かる。この回路素子数の削減率は入力信号の分割数を大きくするほど顕著となる。また、この実施例の場合、回路素子数を大幅に削減できるため、回路素子と回路素子とを接続するための配線領域を大幅に削減できる。これを減算回路で考えた場合、22ビット/36ビット=0.61となり、従来に比べて配線領域を61%削減できる。

【0048】図18は、この発明の第5の実施例を示すものであり、図14と同一部分には同一符号を付す。この実施例において、 $m$ チャンネルの入力信号C1、C2～C $m$ はそれぞれ $n$ 個の入力信号D11、D12～D1 $n$ 、D21、D22～D2 $n$ ～D $m$ 1、D $m$ 2～D $m$  $n$ に分割されている。マルチプレクサ62の入力端6

2<sub>11</sub>、62<sub>12</sub>～62 <sub>$n$</sub> には分割された入力信号D11、D12～D $m$  $n$ がそれぞれ入力される。マルチプレクサ62はカウンタ61の出力信号に応じて、入力端62<sub>11</sub>、62<sub>12</sub>～62 <sub>$n$</sub> を順次選択する。したがって、各チャンネルの入力信号はLSB側からMSB側に順次入力される。各減算器63および各加算器65は演算に必要な数の全加算器を有している。 $i$ クロック遅延素子64、66は、クロック信号に応じて入力された信号を $i$ クロック分遅延する。ここで、 $i = n \times m$ である。デマルチプレクサ92は出力端92<sub>1</sub>、92<sub>2</sub>～92 <sub>$n$</sub> を有している。このデマルチプレクサ92はデコーダ70の出力信号に応じて、出力端92<sub>1</sub>、92<sub>2</sub>～92 <sub>$n$</sub> を順次選択し、各チャンネルに対応して出力信号O1、O2～O $m$ を出力する。この実施例によれば、回路素子および配線領域を削減して、多チャンネル、多ビットの信号を処理することができる。

【0049】尚、この発明は、上記実施例に限定されるものではなく、例えば遅延素子、加算器、マルチプレクサ、デマルチプレクサ、スイッチ等は上記構成に限定されるものではなく、同様の機能を有するものであれば他の回路構成を適用できる。

【0050】

【発明の効果】以上、詳述したようにこの発明によれば、入力信号を分割して取り込むことにより、少ない回路素子により多チャンネル信号や多ビット信号を処理することができ、チップの占有面積を削減できるとともにコストを低廉化し得るデジタル $\Sigma-\Delta$ 変調器を提供できる。

【図面の簡単な説明】

【図1】この発明の一実施例を示すものであり、 $n$ チャンネル1次 $\Sigma-\Delta$ 変換器を示す回路図。



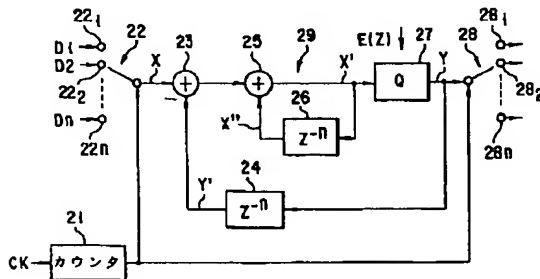
【図2】  $n$  クロック遅延素子の一例を示す回路図。  
 【図3】 加算器の一例を示す回路図。  
 【図4】 図3に示す全加算器の一例を示す回路図。  
 【図5】 図1の動作を示すタイミングチャート。  
 【図6】 この発明の第2の実施例を示すものであり、 $n$  チャンネル・ $m$  次  $\Sigma$ - $\Delta$  変調器を示す回路図。  
 【図7】 この発明を用いた2チャンネル・2次  $\Sigma$ - $\Delta$  変調器の一実施例を示す回路図。  
 【図8】 図6に示す回路から図7に示す回路を得るための変形過程を示す回路図。  
 【図9】 図8に続く変形過程を示す回路図。  
 【図10】 図9に続く変形過程を示す回路図。  
 【図11】 図10に続く変形過程を示す回路図。  
 【図12】 図11に続く変形過程を示す回路図。  
 【図13】 図13(a)はクロックド・インバータを使った1クロック遅延素子の一例を示す回路図、図13 \*

\* (b) はクロックド・インバータを示す回路図。  
 【図14】 この発明の第3の実施例を示す回路図。  
 【図15】 図14に示す加算器の構成を示す回路図。  
 【図16】 従来の  $\Sigma$ - $\Delta$  変調器を示す回路図。  
 【図17】 この発明の第4の実施例を示す回路図。  
 【図18】 この発明の第5の実施例を示す回路図。  
 【図19】 従来の1チャンネル・1次  $\Sigma$ - $\Delta$  変調器の一例を示す回路図。  
 【図20】 従来の1チャンネル・ $m$  次  $\Sigma$ - $\Delta$  変調器の一例を示す回路図。

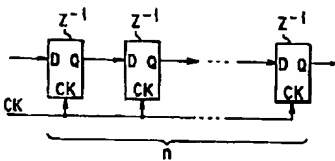
【符号の説明】

21、61…カウンタ、22、62…マルチプレкса、  
 23、63…減算器、24、26、64、66…クロック遅延素子、27、67…量子化器、28、92…デマルチプレкса、29、69…積分器。

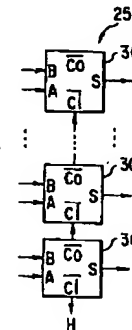
【図1】



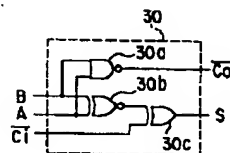
【図2】



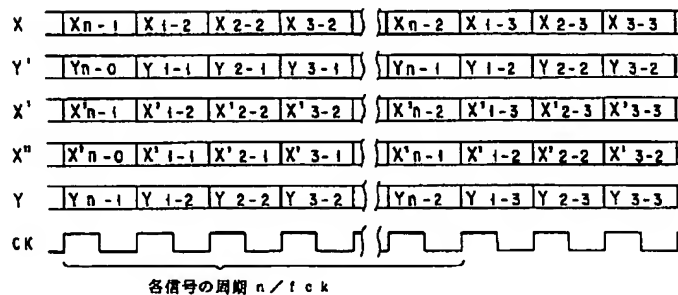
【図3】



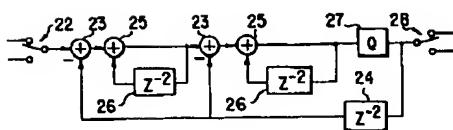
【図4】



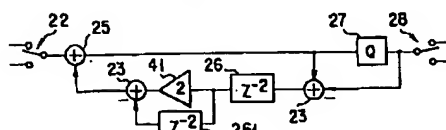
【図5】



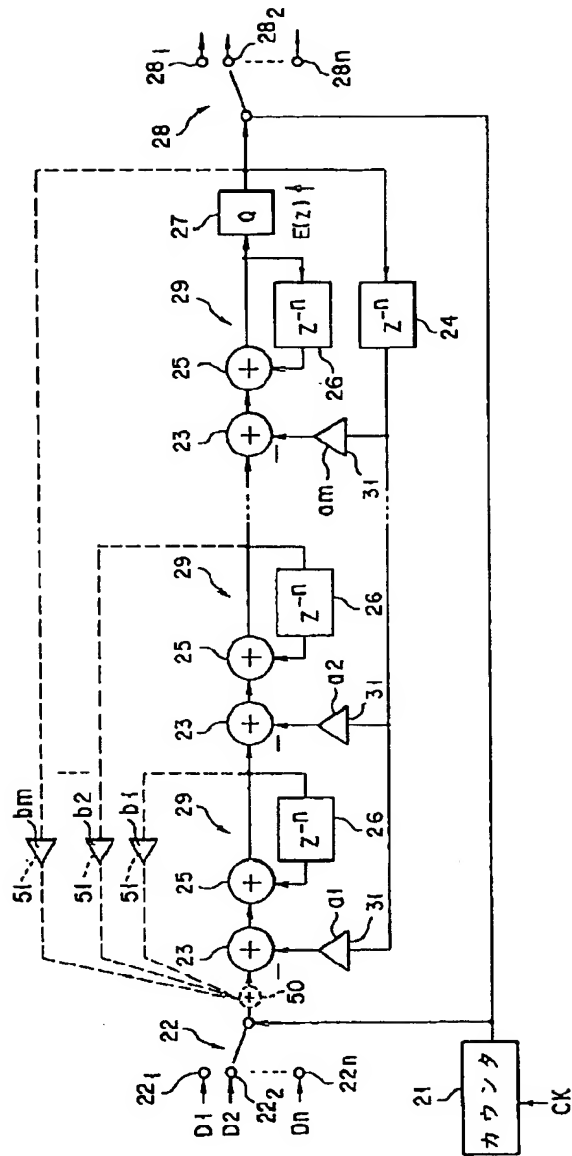
【図8】



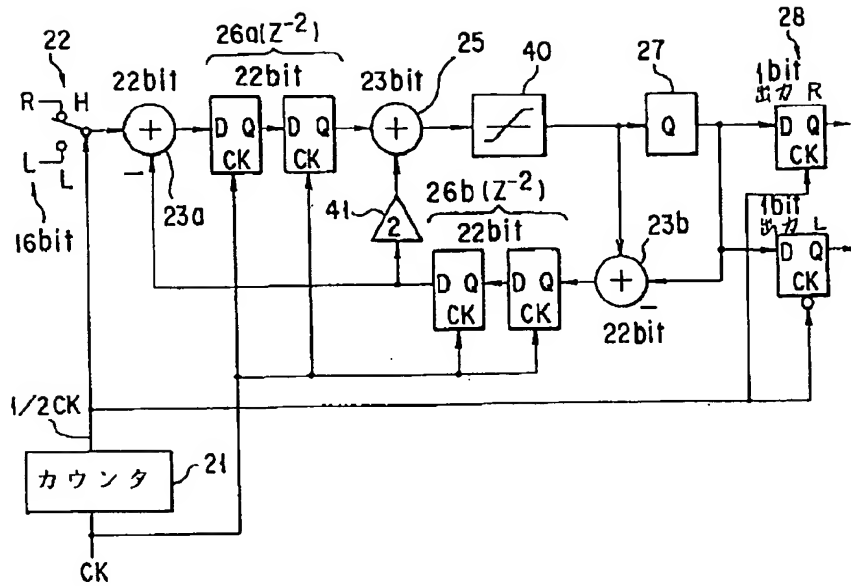
【図11】



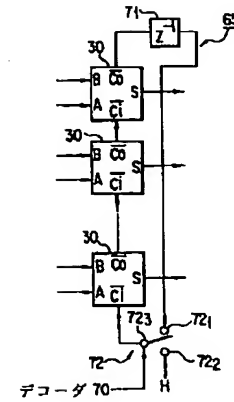
【図6】



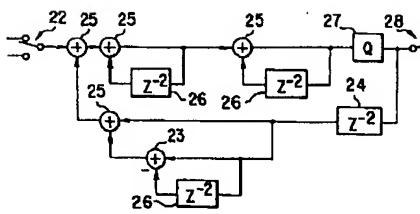
【図7】



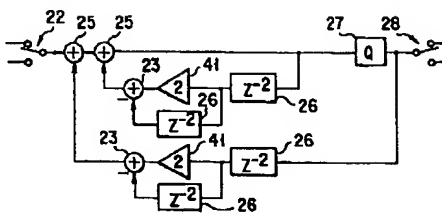
【図15】



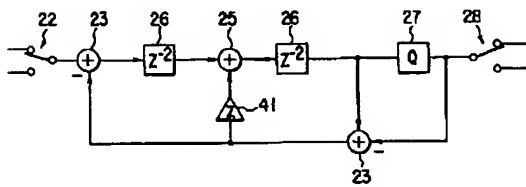
【図9】



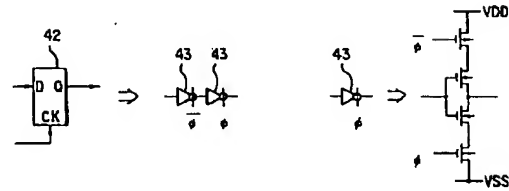
【図10】



【図12】

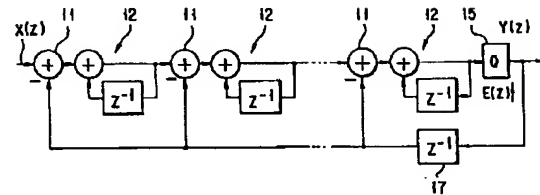


【図13】



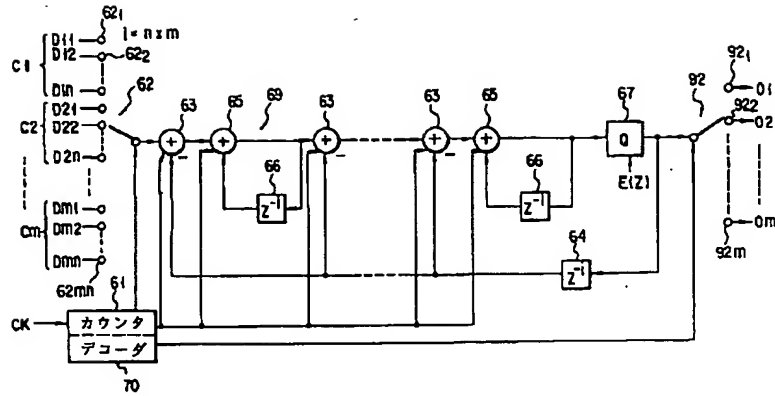
(a)

(b)



The block diagram illustrates the internal structure of the digital filter. It features two input buses at the top left: "上位 16bit" (Upper 16 bits) labeled 62<sub>1</sub> and "下位 16bit" (Lower 16 bits) labeled 62<sub>2</sub>. These inputs feed into a series of processing blocks. The upper path includes a 22-bit adder (+), followed by two D-type flip-flops (labeled Q and CK), another 22-bit adder (+), a delay element Z<sup>-2</sup>, a multiplier by 90 (represented by a triangle with 90 inside), and finally a 9-bit quantizer (represented by a box with f). The lower path also starts with a 22-bit adder (+), followed by two D-type flip-flops (Q and CK), and then a 22-bit adder (+). A feedback loop from the output of the 9-bit quantifier passes through a 67-bit register (Q) and is fed back into the final 22-bit adder. A counter block labeled "カウンタ" (Counter) receives a clock signal "CK" and provides control signals to various parts of the circuit, including the flip-flops and the final adder. Signal labels include 61, 63, 65, 66, 68, and 69.

【図18】



【図19】

